采购清单

采购单位	西安科技大学	备案函号	ZCBN-省本级-2026-16433
项目名称	西安科技大学计算机组成原理实训室更新升级项目		
政府预算资金	￥ 210,000.00	财政专户管理资金	￥ 0.00
单位资金	￥ 0.00	保障性资金	￥ 0.00

序号	品名	采购标的	单价	数量	单位	总价	技术参数
1	其他仪器仪表	计算机组成原理实训室更新升级	6,000.00	35	套	210,000.00	1、可覆盖《计算机组成原理》《计算机系统结构》《计算机系统设计》等课程所有配套实验项目，支持计算机核心部件层级的电路重构与个性化设计，支持学生独立自主完成运算器、控制器核心电路的搭建、参数修改、功能调试与性能验证，满足基础性、设计性、创新性分层实验教学要求。 ▲2、实验平台至少支持微程序控制、组合逻辑（硬布线）控制两种主流CPU控制方式，无需硬件拨码、开关切换等物理操作，可在同一套实验电路架构上无缝完成实验，便于学生直观掌握不同控制架构的原理差异。（需提供产品照片或软件功能截图证明） 3、存储实验模块采用双端口存储器电路架构，支持并行读写实验操作，可开展双端口存储读写机制、数据冲突处理、并行存储访问等系列实验。 4、CPU内部总线实验电路集成指令预取功能电路与双端口存储控制电路，支持复现主流处理器的指令预取、存储访问控制工作机制，支撑学生理解CPU指令流水线预处理、存储总线控制的核心原理。 5、系统总线架构集成标准中断控制，具有DMA控制信号，要求匹配真实计算机总线工作时序规范，可支撑学生完成标准总线时序下的中断响应、中断处理、DMA数据传送等核心系统实验。 6、实验硬件平台涵盖8259可编程中断控制器、8237可编程DMA控制器、8254

							可编程定时/计数器等经典计算机接口电路，可直接搭建具备定时计数、中断处理、DMA高速数据传输功能的模型计算机，满足计算机接口技术、系统集成实验教学需求。 7、时序发生模块至少支持三节拍、四节拍两种CPU工作调试时序模式，具备软件自动切换时序方案的能力，可实现不同时序架构的对比教学，让学生直观认知不同时序设计方案对CPU工作节拍、控制信号时序逻辑的影响，掌握时序设计的核心要点。（投标现场提供设备演示） 8、实验平台采用单元化、层次化的硬件架构设计，以运算器、存储器、控制器、系统总线等独立部件单元为核心构建完整计算机模型。各功能部件采用通用标准接口连接，支持学生按照独立部件学习—部件组合调试—完整整机搭建的分层教学流程开展实验，支持任意核心部件的自由组合与电路重构。 9、运算器、控制器核心功能部件支持学生自主设计、搭建电路架构，结合实时数据通路调试环境，可完成电路功能的实时调试、参数修改、故障排查，重点培养学生的硬件设计能力、电路调试能力与系统问题排查能力，满足创新性实验教学要求等详见附件。
2							
3							
4							
5							